

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

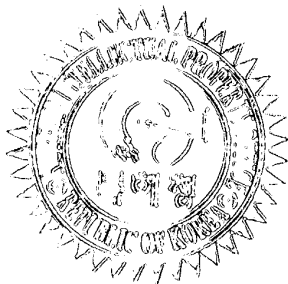
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086275
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

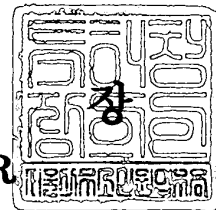
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0026
【제출일자】	2002.12.30
【발명의 명칭】	이중 도핑구조의 초박형 에피채널 피모스트랜지스터 및 그 의 제조 방법
【발명의 영문명칭】	Method for fabricating pMOSFET having Ultra Shallow Super-Steep-Retrograde epi-channel formed by Multiple channel doping
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	손용선
【성명의 영문표기】	SOHN, Yong Sun
【주민등록번호】	601109-1010923
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 경남아파트 707-704
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원

【우선권 주장료】	0	건	0	원
【심사청구료】	18	항	685,000	원
【합계】	726,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 할로(HALO) 도핑층을 사용하지 않더라도 게이트 길이가 30nm급인 소자에
서 요구하는 수준의 고농도 도핑 농도를 만족하는 초박형 에피채널 피모스 소자 및 그의
제조 방법을 제공하기 위한 것으로, 본 발명의 pMOSFET는 반도체 기판, 상기 반도체 기
판의 표면 근처에 형성되고 서로 다른 확산속도를 갖는 도펀트들이 이중 도핑되어 있는
채널 도핑층, 상기 채널 도핑층 상에 형성되어 상기 채널 도핑층과 함께 에피채널을 이
루는 실리콘에피층, 상기 실리콘에피층 상의 게이트절연막, 상기 게이트절연막 상의 게
이트전극, 상기 에피채널의 양측의 상기 반도체 기판내에 형성된 고농도 소스/드레인확
장영역, 및 상기 소스/드레인확장영역에 전기적으로 연결되며 상기 소스/드레인확장영역
보다 깊은 고농도 소스/드레인영역을 포함한다.

【대표도】

도 3

【색인어】

pMOSFET, 채널도핑층, SSR, 확산속도, 실리콘에피층, 비소, 인

【명세서】

【발명의 명칭】

이중 도핑구조의 초박형 에피채널 피모스트랜지스터 및 그의 제조 방법(Method for fabricating pMOSFET having Ultra Shallow Super-Steep-Retrograde epi-channel formed by Multiple channel doping)

【도면의 간단한 설명】

도 1은 종래기술에 따른 에피채널 구조의 반도체소자를 도시한 도면,

도 2a는 확산속도가 빠른 이온종($_{31}\text{P}$)을 사용한 경우의 도핑프로파일을 나타낸 도면,

도 2b는 확산속도가 느린 이온종(비소($_{75}\text{As}$) 또는 안티몬)을 사용한 경우의 도핑프로파일을 나타낸 도면,

도 3은 본 발명의 제1 실시예에 따른 초박형 에피채널 pMOSFET의 구조 단면도,

도 4a 내지 도 4g는 도 3에 도시된 pMOSFET의 제조 공정 단면도,

도 5는 비소(As)와 인(P)이 이중 도핑된 채널도핑층의 도핑프로파일을 도시한 도면,

도 6은 본 발명의 제2 실시예에 따른 초박형 에피채널 pMOSFET의 구조 단면도,

도 7은 본 발명의 제3 실시예에 따른 CMOSFET의 구조 단면도,

도 8은 본 발명의 제4 실시예에 따른 CMOSFET의 구조 단면도.

* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판	22 : 필드산화막
23 : n형 웰	24 : n형 필드스톱층
25a : n형 p채널 도핑층	26 : 실리콘에피층
27 : 게이트절연막	28 : 게이트전극
29 : p형 소스/드레인확장영역	30 : 스페이서
31 : p형 소스/드레인영역	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 게이트길이가 100nm이하인 초박형 에피채널을 갖는 반도체소자의 제조 방법에 관한 것이다.

<18> 일반적으로, MOSFET 또는 MISFET와 같은 트랜지스터에서 게이트전극 및 게이트산화막 아래의 반도체기판 표면지역은 게이트전극에 전압이 인가된 상태에서 소스/드레인에 인가한 전기장에 의해 전류가 흐르도록 하는 역할을 하며, 이에 따라 이 지역을 채널(channel)이라 한다.

<19> 또한 이들 트랜지스터의 특성은 채널의 도펀트 농도에 의해 결정되며, 도펀트 농도에 의해 트랜지스터의 문턱전압(Threshold voltage; V_T), 드레인 전류(I_d) 등 제반 특성이 좌우됨으로 채널의 정밀한 도핑이 매우 중요하다.

- <20> 이러한 채널의 도핑 방법으로는 이온주입법에 의한 웰(well) 이온주입과 채널 이온주입(또는 문턱전압 이온주입)이 널리 사용되고 있으며, 상술한 이온주입법으로 형성가능한 채널 구조는 채널내에서 깊이방향으로 일정한 농도를 갖는 플랫폼채널(flat channel), 특정한 깊이에서 채널이 형성되는 매몰 채널(buried channel), 표면농도가 낮고 깊이 방향으로 농도가 증가하는 레트로그레이드 채널(retrograde channel) 등이 있다.
- <21> 상술한 채널들 중 게이트길이 $0.2\mu\text{m}$ 이하의 고성능 마이크로프로세서 등에 채택되는 채널구조는 인듐(In), 비소(As), 안티몬(Sb)과 같은 중원소 이온주입(heavy ion implantation)에 의해 형성되는 레트로그레이드 채널이 널리 사용되고 있으며, 레트로그레이드 채널은 표면 도펀트 농도가 낮아 표면 이동도가 증가되는 효과를 보이므로 높은 구동전류 특성을 갖는 고성능 소자에 적용하고 있다.
- <22> 그러나, 채널길이가 축소됨에 따라 요구되는 채널 깊이는 더욱더 깊어져야 되며, 이온주입 방법만으로 채널 깊이가 50nm 이하인 레트로그레이드 채널을 구현하는데 한계가 있다.
- <23> 이러한 요구를 만족시키기 위하여 채널도핑층(channel doping layer)상에 에피택셜층(epitaxial layer)을 형성시킨 에피채널 구조가 제안되었다.
- <24> 도 1은 종래기술에 따른 에피채널 구조의 반도체소자를 도시한 도면이다.
- <25> 도 1에 도시된 바와 같이, 반도체 기판(11)상에 게이트산화막(12)과 게이트전극(13)이 형성되고, 게이트산화막(12) 아래의 반도체기판(11)에 에피택셜층(14)과 채널도핑층(15)으로 이루어진 에피채널이 형성되며, 에피채널의 양측으로 고농도 소스/드레인

확장영역(Source/Drain expansion; SDE)(16)이 형성되고, 소스/드레인확장영역(16) 하단에 소스/드레인확장영역(16)과 접하여 펀치스톱도핑층(punch stop doping layer) 역할을 하는 할로도핑층(HALO doping layer, 17)이 형성되며, 소스/드레인확장영역(16)과 할로도핑층(17) 양측에 모두 인접하는 소스/드레인영역(18)이 형성된다. 그리고, 게이트전극(13)의 양측벽에는 스페이서(19)가 형성된다.

<26> 그러나, 상술한 종래기술은 채널도핑층(15) 형성시 한가지 이온종으로만 도핑함으로 인해 도 2a 및 도 2b에서 보여주는 도핑 프로파일상의 한계를 극복할 수 없다.

<27> 도 2a는 확산속도가 빠른 이온종($_{31}\text{P}$)을 사용한 경우의 도핑프로파일을 나타낸 도면으로서, 후속 열공정에서의 빠른 확산으로 인해 원하는 수준의 농도 차이를 갖는 SSR(Super Steep Retrograde) 프로파일을 형성하는데 한계가 있다. 즉, 에피채널의 최고 농도(C_{max})와 실리콘 표면에서의 농도(C_s)의 차이를 30배 이상으로 형성하기가 어려우며, 또한 에피채널의 최고 농도를 $3\text{E}18 \text{ atoms/cm}^3$ 이상으로 형성하기가 어렵다. 결국, 이러한 문제는 게이트 길이가 70nm급인 MOSFET 소자의 숏 채널(short channel) 현상을 억제할 수 있는 에피채널을 형성하는데 한계가 있으며, 도 1에서와 같이 추가적인 할로도핑층(15)을 필요로 하게 되나, 소자의 디자인룰이 축소됨에 따른 게이트 높이의 증가 및 그에 따른 게이트구조상의 종횡비(게이트높이/게이트간 거리)가 급격히 증가하여 고경사각의 이온주입을 사용할 수 없게 된다.

<28> 도 2b는 확산속도가 느린 이온종(비소($_{75}\text{As}$) 또는 안티몬)을 사용한 경우의 도핑프로파일을 나타낸 도면으로서, 게이트 길이 30nm급 소자에서 요구되는 수준의 에피채널의 최고 농도인 약 $1.0\text{E}19\text{atoms/cm}^3$ 수준의 고농도 채널 도핑을 수월하게 형성할 수 있는 장점이 있는 반면에 확산속도가 너무 느려 에피채널의 도펀트 농도가 너무 낮고, 이에

따라 문턱전압이 매우 낮아지게 되고, 문턱전압 이하에서의 누설전류(Sub threshold leakage)가 과도해지는 문제가 발생한다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 할로도핑층을 사용하지 않더라도 게이트 길이가 30nm급인 소자에서 요구하는 수준의 고농도 도핑 농도를 만족하는 초박형 에피채널 피모스 소자 및 그의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<30> 상기 목적을 달성하기 위한 본 발명의 pMOSFET는 반도체 기판, 상기 반도체 기판의 표면 근처에 형성되고 서로 다른 확산속도를 갖는 도펀트들이 이중 도핑되어 있는 채널 도핑층, 상기 채널 도핑층 상에 형성되어 상기 채널 도핑층과 함께 에피채널을 이루는 실리콘에피층, 상기 실리콘에피층 상의 게이트절연막, 상기 게이트절연막 상의 게이트전극, 상기 에피채널의 양측의 상기 반도체 기판내에 형성된 고농도 소스/드레인확장영역, 및 상기 소스/드레인확장영역에 전기적으로 연결되며 상기 소스/드레인확장영역보다 깊은 고농도 소스/드레인영역을 포함하는 것을특징으로 한다.

<31> 그리고, 본 발명의 pMOSFET의 에피채널 형성 방법은 서로 다른 확산속도를 갖는 도펀트들을 이중도핑하여 반도체 기판 표면 아래에 채널 도핑층을 형성하는 단계, 상기 채널 도핑층 내에 주입된 도펀트들을 활성화시키는 회복어닐링 단계, 상기 채널 도핑층 표

면의 자연산화막을 제거하는 표면처리 단계, 및 상기 채널 도핑층 상에 선택적 에피택셜 성장법을 이용하여 실리콘에피층을 성장시키는 단계를 포함하는 것을 특징으로 한다.

<32> 그리고, 본 발명의 pMOSFET의 제조 방법은 반도체 기판 표면 아래에 서로 다른 확산속도를 갖는 도펀트들을 이중 도핑하여 n형 채널 도핑층을 형성하는 단계, 상기 n형 채널 도핑층 내에 주입된 도펀트들을 활성화시키는 회복어닐링 단계, 상기 회복어닐링시 생성된 상기 n형 채널 도핑층 표면의 자연산화막을 제거하는 표면처리 단계, 상기 n형 채널 도핑층 상에 선택적 에피택셜 성장법을 이용하여 실리콘에피층을 성장시키는 단계, 상기 실리콘에피층의 선택된 영역 상에 증착 및 패터닝을 통해 게이트절연막과 게이트전극을 적층 형성하는 단계, 상기 게이트전극 양측의 반도체 기판내에 고농도 p형 소스/드레인확장영역을 형성하는 단계, 상기 게이트전극의 양측벽에 스페이서를 형성하는 단계, 및 상기 소스/드레인확장영역에 전기적으로 연결되는 고농도 p형 소스/드레인영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

<33> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<34> 도 3은 본 발명의 제1실시예에 따른 초박형 에피채널구조의 pMOSFET를 도시한 구조 단면도이다.

<35> 도 3에 도시된 바와 같이, n형 웰(23)과 n형 필드스톱층(4)이 형성된 반도체 기판(21)상에 게이트절연막(27)과 게이트전극(28)이 형성되고, 게이트절연막(27) 아래의 반도체 기판(21)에 실리콘에피층(26)과 n형 p채널 도핑층(25a)으로 이루어진 에피채널이 형성되며, 에피채널의 양측으로 고농도 p형 소스/드레인확장영역(29)이 형성되고, p형

소스/드레인확장영역(29)에 전기적으로 연결되는 고농도 p형 소스/드레인영역(31)이 형성된다. 그리고, 게이트전극(28)의 양측벽에는 스페이서(30)가 형성된다.

<36> 도 3에서, n형 p채널 도핑층(25a)은 확산속도가 느린 도펀트(도면의 '○' 참조)와 확산속도가 빠른 도펀트(도면의 '●' 참조)가 이중도핑된 채널 도핑층으로, 확산 속도가 느린 도펀트(○)는 비소(As^+) 또는 안티몬(Sb^+)이고, 확산속도가 빠른 도펀트(●)는 인(P^+)이며, 인(P^+)은 비소(As^+) 또는 안티몬(Sb^+)보다 상대적으로 확산속도가 빠르다.

<37> 전술한 바와 같이, 본 발명의 pMOSFET는 SSR 에피채널을 구현하기 위해 확산속도가 느린 도펀트와 확산속도가 빠른 도펀트가 이중 도핑된 채널도핑층과 채널도핑층 상의 실리콘에피층으로 이루어지므로써, 높은 채널도핑층 농도를 유지하면서 동시에 에피채널의 도펀트 농도를 조절할 수 있다.

<38> 도 4a 내지 도 4g는 도 3에 도시된 pMOSFET의 제조 방법을 도시한 공정 단면도이다.

<39> 도 4a에 도시된 바와 같이, 반도체 기판(21)의 소정 부분에 STI(Shallow Trench Isolation) 또는 LOCOS(Local Oxidation of Silicon) 공정을 통해 소자격리를 위한 필드산화막(22)을 형성한 후, 반도체 기판(21)에 n형 도펀트를 이온주입하여 깊은 n형 웰(23)을 형성하고, 연속해서 n형 도펀트를 이온주입하여 n형 웰(23)보다 얇은 n형 필드스톱층(24)을 형성한다. 여기서, n형 웰(23)과 n형 필드스톱층(24)을 형성하기 위한 n형 도펀트로는 인(P)을 이용한다.

- <40> 다음에, n형 p채널 도핑층(25)을 형성하기 위한 이온주입을 진행하는데, 먼저 확산 속도가 느린 도펀트(\bigcirc)를 1차 이온주입한다. 이때, 확산 속도가 느린 도펀트로는 비소(As^+) 또는 안티몬(Sb^+)을 이용한다.
- <41> 도 4b에 도시된 바와 같이, 다음에, n형 p채널 도핑층(25)을 형성하기 위한 2차 이온주입을 진행하는데, 2차 이온주입시 도펀트는 확산속도가 빠른 도펀트(\bullet)를 이용한다. 이때, 확산속도가 빠른 도펀트로는 인(P^+)을 이용하며, 인(P^+)은 비소(As^+) 또는 안티몬(Sb^+)보다 상대적으로 확산속도가 빠르다.
- <42> 결국, n형 p채널 도핑층(25)내에는 확산속도가 느린 도펀트(\bigcirc)와 확산속도가 빠른 도펀트(\bullet)의 두종류의 도펀트가 이중 도핑되어 있고, n형 p채널 도핑층(25)은 반도체 기판(21)의 표면으로부터 10nm~50nm의 두께로 형성된다.
- <43> 도 4c에 도시된 바와 같이, 회복 어닐링을 수행하는데, 회복 어닐링은 n형 p채널 도핑층(25) 형성을 위한 이온주입시의 이온충돌(ion bombardment)로 야기되는 반도체 기판(21) 표면의 결정결함(crystal defects)을 회복시키고, n형 p채널 도핑층(25)내 주입된 도펀트들이 결정내에서 인접한 실리콘 원자들과 안정한 결합을 형성하도록 하기 위한 것이다.
- <44> 회복 어닐링으로는 n형 p채널 도핑층(25)내 주입된 도펀트들의 확산을 억제하도록 실리콘 용융점(1414°C) 이하의 온도에서 급속어닐링(Rapid Thermal Annealing; RTA) 또는 스파이크 급속어닐링(Spike RTA; SRTA)을 실시한다.

- <45> 여기서, 스파이크 급속어닐링(SRTA)은 짧은 시간내에 상온에서 목표온도까지 온도를 증가시킨 후, 목표온도에서 지연없이 곧바로 상온으로 온도를 내리는 어닐링공정[램핑율(ramping rate): 150℃/sec 이상, 지연시간: 1sec이하]을 일컫는다.
- <46> 바람직하게, 급속어닐링(RTA) 또는 스파이크 급속어닐링(SRTA)은 실리콘의 용융점인 1414℃보다 낮으면서 결정결함을 회복시킬 수 있는 온도, 예컨대 급속어닐링은 600℃~1050℃의 범위에서 진행하고, 스파이크 급속어닐링은 600℃~1150℃의 범위에서 진행한다.
- <47> 결국, 회복 어닐링을 통해 n형 p채널 도핑층(25)은 이온주입된 도펀트들과 반도체 기판(21)내 실리콘이 안정된 결합을 형성하면서 결정결함이 제거된 층으로 개질된다. 즉, 회복 어닐링에 의해 n형 p채널 도핑층(25)이 화학적으로 안정된 n형 p채널 도핑층(25a)으로 활성화된다.
- <48> 도 4d에 도시된 바와 같이, 회복 어닐링후 n형 p채널 도핑층(25a)상에 생성된 자연산화막(native oxide)(도시 생략)을 제거하기 위해 수소분위기에서 표면 처리 공정을 진행한다. 이때, 수소분위기에서 표면 처리하면, 수소(H₂)가 자연산화막(SiO₂)과 반응하여 H₂O 등으로 휘발됨에 따라 자연산화막이 제거되며, 표면처리시 온도는 n형 p채널 도핑층(25a)내 도펀트의 확산을 방지하는 온도, 예컨대 600℃~950℃의 범위가 바람직하다.
- <49> 도 4e에 도시된 바와 같이, 자연산화막이 제거된 반도체 기판(21), 바람직하게는 n형 p채널 도핑층(25a)상에 선택적 에피택셜 성장법(Selectively Epitaxial Growth; SEG)을 이용하여 5nm~30nm 두께의 실리콘에피층(26)을 성장시킨다.

- <50> 이때, 회복 어닐링에 의해 n형 p채널 도핑층(25)이 화학적으로 안정된 매우 얇은 n형 p채널 도핑층(25a)으로 활성화됨에 따라 수소분위기에서의 표면처리 및 실리콘에피층(26) 성장시에도 도펀트의 손실 및 재분포가 최소화된 SSR 에피채널구조가 형성된다.
- <51> 도 4f에 도시된 바와 같이, SSR 에피채널구조, 예컨대 n형 p채널 도핑층(25a)과 실리콘에피층(26)으로 이루어진 에피채널구조 상에 650℃~750℃의 온도범위에서 게이트절연막(27)을 형성한다. 이때, 게이트절연막(27)을 형성하는 온도범위를 상대적으로 저온으로 하는데, n형 p채널 도핑층(25a)내 도펀트의 재분포 및 확산을 억제하기 위함이다.
- <52> 이를 위해, 게이트절연막(27)으로는 저온에서 형성되는 산화막(Low Temperature Oxide; LTO), 실리콘질화산화막(Silicon oxynitride), 고유전막 또는 산화막/고유전막의 적층막을 사용하고, 이들 게이트절연막(27) 형성시 저온에서 형성하는 저열공정을 수행함에 따라 p형 n채널도핑층(25a)내 도펀트의 재분포 및 확산을 억제시켜 SSR 도핑프로파일을 유지시킬 수 있다.
- <53> 예컨대, 저온 산화막인 실리콘열산화막은 650℃~750℃의 온도에서 형성하고, 실리콘질화산화막은 650℃~750℃의 온도에서 실리콘열산화막을 형성한 후 실리콘열산화막을 질소플라즈마 또는 암모니아플라즈마처리하여 형성하며, 고유전율막은 300℃~650℃의 온도에서 증착한 후 400℃~700℃에서 노 어닐링하여 형성하거나, 또는 300℃~650℃의 온도에서 증착한 후 600℃~800℃에서 급속 어닐링하여 형성한다. 그리고, 고유전율막을 이용하는 경우, 고유전율막의 막질개선을 위한 추가적인 열처리를 수행하는 경우 최고온도를 300℃~700℃의 범위로 제한한다.
- <54> 다음에, 게이트절연막(27) 상에 게이트전극용 도전막을 증착 및 패터닝하여 게이트전극(28)을 형성한다. 여기서, 게이트전극(28)을 형성하기 위한 도전막으로는 폴리실리

콘막, 폴리실리콘막과 금속막의 적층막일 수 있고, 폴리실리콘막과 실리사이드막의 적층막일 수도 있다.

<55> 다음에, 별도의 감광막마스크(도시 생략) 및 게이트전극(28)을 이온주입마스크로 이용하여 저에너지로 높은 주입량의 p형 도펀트를 이온주입하여 p형 소스/드레인확장영역(29)을 형성한다. 이때, p형 소스/드레인확장영역(29)을 형성하기 위한 p형 도펀트는 붕소(B), 이불화붕소(BF₂) 또는 붕소를 함유한 붕소화합물이온을 이용한다.

<56> 다음에, 게이트전극(28)을 포함한 전면에 스페이서용 절연막을 증착한 후, 스페이서용 절연막을 에치백(etchback)하여 게이트전극(28)의 측벽에 접하는 스페이서(30)를 형성한다. 여기서, 스페이서(30)는 질화막, 산화막 또는 질화막과 산화막의 조합을 이용한다.

<57> 다음으로, 별도의 감광막마스크 및 게이트전극(28) 및 스페이서(30)를 이온주입마스크로 높은 주입량의 p형 도펀트(붕소 또는 붕소화합물)를 이온주입하여 p형 소스/드레인확장영역(29)에 전기적으로 연결되는 p형 소스/드레인영역(31)을 형성한다. 이때, p형 소스/드레인영역(31)은 p형 소스/드레인확장영역(29)의 이온주입깊이보다 깊다.

<58> 도 4g에 도시된 바와 같이, p형 소스/드레인영역(31)과 p형 소스/드레인확장영역(29)내 도펀트들을 전기적으로 활성화시키기 위해 활성화 어닐링을 수행하는데, 활성화 어닐링은 n형 p채널 도핑층(25a)의 확산과 p형 소스/드레인영역(31)과 p형 소스/드레인확장영역(29)의 접합 깊이가 깊어지는 것을 동시에 억제하는 온도에서 수행한다.

- <59> 바람직하게, 활성화 어닐링은 $600^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 의 급속어닐링(RTA), $300^{\circ}\text{C} \sim 750^{\circ}\text{C}$ 의 노어닐링(furnace annealing), $600^{\circ}\text{C} \sim 1100^{\circ}\text{C}$ 의 스파이크 급속어닐링(SRTA) 또는 두가지 어닐링의 조합중에서 선택된다.
- <60> 위와 같은 활성화 어닐링에 의해, 잘 알려진 바와 같이, p형 소스/드레인확자영역(29)은 게이트전극(28)의 에지부분과 오버랩되고, p형 소스/드레인영역은 스페이서(30)의 에지부분과 오버랩된다.
- <61> 한편, 게이트전극(28) 및 p형 소스/드레인영역(31) 형성 공정을 열이력이 낮은 저열 공정을 통해 진행하면, 도펀트들의 확산이 억제된 SSR 에피채널 구조를 유지시킬 수 있다.
- <62> 상술한 실시예에서, n형 p채널 도핑층(25a)은 숏채널효과를 억제하는 펀치스톱(punch stop)층 역할도 동시에 수행한다. 그리고, n형 p채널 도핑층(25a)의 최대 도핑 깊이를 p형 소스/드레인영역(31)의 접합깊이보다 작게 하므로써 np 접합에 대한 접합캐패시턴스 및 접합누설전류를 감소시킨다.
- <63> 도 5는 비소(As)와 인(P)이 이중 도핑된 채널도핑층의 도핑프로파일을 도시한 도면이다.
- <64> 도 5를 참조하면, 채널도핑층의 최고 농도(C_{max})와 실리콘 표면에서의 농도(C_s)의 차이를 50배 이상으로 형성하고 있으며, 또한 채널도핑층의 최고 농도를 $1.0\text{E}19 \text{ atoms/cm}^3$ 수준의 고농도로 형성하고 있다. 즉, 게이트 길이 30nm급 소자에서 요구되는 수준의 에피채널의 최고 농도인 약 $1.0\text{E}19 \text{ atoms/cm}^3$ 수준의 고농도 채널 도핑을 수월하게 형성하고 있다. 여기서, $1.0\text{E}19 \text{ atoms/cm}^3$ 수준의 고농도는 게이트 길이 30nm급 수준

까지의 극저숏채널(Ultra short channel) pMOSFET의 숏채널 효과를 억제할 수 있는 수준의 고농도이고, 이와 같은 고농도의 채널도핑층이 펀치스톱도핑층 역할도 동시에 수행하게 되므로 게이트 길이 30nm 수준의 pMOSFET의 숏채널 효과를 억제할 수 있다.

<65> 결국, 도 5의 결과에 따르면, 확산속도가 느린 도펀트와 확산속도가 빠른 도펀트를 이중 도핑하여 채널도핑층을 형성하므로써 할로도핑층의 추가없이도 게이트 길이 30nm 급 소자에서 요구되는 수준의 에피채널의 최고 농도를 구현할 수 있다.

<66> 도 6은 본 발명의 제2실시예에 따른 pMOSFET의 구조 단면도이다.

<67> 도 6에 도시된 바와 같이, n형 웰(23)과 n형 필드스톱층(24), 그리고 필드산화막(22)이 형성된 반도체 기판(21)상에 게이트절연막(27)과 게이트전극(28)이 형성되고, 게이트절연막(27) 아래의 반도체 기판(21)에 실리콘에피층(26)과 n형 p채널 도핑층(25a)으로 이루어진 에피채널이 형성되며, 에피채널의 양측으로 고농도 p형 소스/드레인확장영역(29)이 형성되고, p형 소스/드레인확장영역(29)에 전기적으로 연결되는 고농도 p형 소스/드레인영역(31)이 형성된다. 그리고, 게이트전극(28)의 양측벽에는 스페이서(30)가 형성된다.

<68> 도 6의 pMOSFET는 도 3의 pMOSFET와 달리, p형 소스/드레인영역(31) 상에 추가로 실리콘에피층을 성장시켜 엘리베이티드 p형 소스/드레인 영역(32)을 형성하고 있다.

<69> 도 7은 본 발명의 제3실시예에 따른 CMOSFET의 구조 단면도이다.

<70> 도 7에 도시된 바와 같이, pMOSFET는 도 3 및 도 6의 pMOSFET와 동일하고, nMOSFET는 nMOSFET가 형성될 반도체 기판(21)-p형 웰(23a)과 p형 필드스톱층(24a)이 형성됨-상에 게이트절연막(27)과 게이트전극(28)이 형성되고, 게이트절연막(27) 아래의 반도체 기

판(21)에 실리콘에피층(26a)과 p형 n채널 도핑층(25b)으로 이루어진 에피채널이 형성되며, 에피채널의 양측으로 고농도 n형 소스/드레인확장영역(29a)이 형성되고, n형 소스/드레인확장영역(29a)에 전기적으로 연결되는 고농도 n형 소스/드레인영역(31a)이 형성된다. 그리고, 게이트전극(28)의 양측벽에는 스페이서(30)가 형성된다.

<71> 도 7의 nMOSFET를 살펴보면, p형 웰(23a)과 p형 필드스톱층(24a)은 붕소(B)를 이온주입하여 형성하고, p형 n채널 도핑층(25b)은 붕소(B), BF_2 이온 또는 붕소를 함유한 붕소화합물 이온을 이온주입하여 반도체기판(21) 표면으로부터 10nm~50nm 두께로 형성하며, n형 소스/드레인확장영역(29a)과 고농도 n형 소스/드레인영역(31a)은 비소 또는 인을 이온주입하여 형성한다.

<72> 그리고, 게이트절연막(27), 게이트전극(28), 스페이서(30)는 pMOSFET와 동일한 공정을 통해 형성하며, p형 웰(23a), p형 필드스톱층(24a), p형 n채널 도핑층(25b), n형 소스/드레인확장영역(29a) 및 n형 소스/드레인영역(31a)을 형성하기 위한 이온주입 공정은 pMOSFET와 별도로 진행한다.

<73> 도 8은 본 발명의 제4실시예에 따른 CMOSFET의 구조 단면도이다.

<74> 도 8을 참조하면, pMOSFET는 도 6의 pMOSFET와 동일하고, 즉, p형 소스/드레인영역(31) 상에 추가로 실리콘에피층을 성장시켜 엘리베이티드 p형 소스/드레인 영역(32)을 형성하고 있다. 그리고, nMOSFET는 nMOSFET가 형성될 반도체 기판(21)-p형 웰(23a)과 p형 필드스톱층(24a)이 형성됨-상에 게이트절연막(27)과 게이트전극(28)이 형성되고, 게이트절연막(27) 아래의 반도체 기판(21)에 실리콘에피층(26a)과 p형 n채널 도핑층(25b)으로 이루어진 에피채널이 형성되며, 에피채널의 양측으로 고농도 n형 소스/

드레인확장영역(29a)이 형성되고, n형 소스/드레인확장영역(29a)에 전기적으로 연결되는 고농도 n형 소스/드레인영역(31a)이 형성된다. 그리고, 게이트전극(28)의 양측벽에는 스페이서(30)가 형성된다. 그리고, pMOSFET와 유사하게 n형 소스/드레인영역(31a) 상에 추가로 실리콘에피층을 성장시켜 엘리베이티드 n형 소스/드레인 영역(32)을 형성하고 있다.

<75> 도 8의 nMOSFET를 살펴보면, p형 웰(23a)과 p형 필드스톱층(24a)은 붕소(B)를 이온주입하여 형성하고, p형 n채널 도핑층(25b)은 붕소(B), BF_2 이온 또는 붕소를 함유한 붕소화합물 이온을 이온주입하여 반도체기판(21) 표면으로부터 10nm~50nm 두께로 형성하며, n형 소스/드레인확장영역(29a)과 고농도 n형 소스/드레인영역(31a)은 비소 또는 인을 이온주입하여 형성한다.

<76> 그리고, 게이트절연막(27), 게이트전극(28), 스페이서(30)는 pMOSFET와 동일한 공정을 통해 형성하며, p형 웰(23a), p형 필드스톱층(24a), p형 n채널 도핑층(25b), n형 소스/드레인확장영역(29a) 및 n형 소스/드레인영역(31a)을 형성하기 위한 이온주입 공정은 pMOSFET와 별도로 진행한다.

<77> 도 6 내지 도 8에 도시된 pMOSFET들은 도 3의 pMOSFET와 동일하게, n형 p채널 도핑층(25a)이 확산속도가 느린 도펀트(도면의 '○' 참조)와 확산속도가 빠른 도펀트(도면의 '●')가 이중도핑된 채널 도핑층이고, 확산 속도가 느린 도펀트(○)는 비소(As^+) 또는 안티몬(Sb^+)이고, 확산속도가 빠른 도펀트(●)는 인(P^+)이며, 인(P^+)은 비소(As^+) 또는 안티몬(Sb^+) 보다 상대적으로 확산속도가 빠르다.

<78> 따라서, 도 6 내지도 도 8에 도시된 소자의 pMOSFET들도 도 5에 도시된 결과를 얻을 수 있다.

<79> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

- <80> 상술한 바와 같은 본 발명은 이중 도핑에 의해 최고 농도가 $1E19 \text{ atoms/cm}^3$ 이상이고 표면농도에 대한 최고농도간의 비가 100배 이상인 채널도핑층을 형성함으로써 채널깊이(Channel depth)를 20nm 이하로 형성할 수 있는 초박(Ultra shallow)형 SSR 에피채널 구조를 구현할 수 있고, 이에 따라 게이트 길이 30nm급의 극저 쏠채널 pMOSFET를 제조할 수 있는 효과가 있다.
- <81> 또한, 본 발명은 RD(Random Dopant) 효과에 의한 문턱전압 변동(Fluctuation)을 억제하는 효과와 서브 100nm 게이트 길이의 쏠채널 억제 효과를 동시에 만족하므로 서브 100nm의 채널 길이를 갖는 소자의 수율을 확보할 수 있는 효과가 있다.
- <82> 또한, 본 발명은 델타도핑프로파일의 폭이 좁은 초박형 SSR채널 구조를 용이하게 구현할 수 있으므로 서브 100nm급 소자에서의 접합캐패시턴스를 낮춰 고속 소자의 구현이 가능한 효과가 있다.
- <83> 또한, 에피채널 표면 지역의 도펀트 농도를 채널 도핑층의 최대 농도 대비 1/100 이상까지도 낮출 수 있어 표면 이동도 증가 및 구동전류 특성을 향상시킬 수 있는 효과가 있다.

<84> 또한, 초박형 SSR 채널 구조를 용이하게 구현하므로 저문턱전압을 갖는 저전압소자 및 저소비전력 소자를 쉽게 구현할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

서로 다른 확산속도를 갖는 도펀트들을 이중도핑하여 반도체 기판 표면 아래에 채널 도핑층을 형성하는 단계;

상기 채널 도핑층 내에 주입된 도펀트들을 활성화시키는 회복어닐링 단계;

상기 채널 도핑층 표면의 자연산화막을 제거하는 표면처리 단계; 및

상기 채널 도핑층 상에 선택적 에피택셜 성장법을 이용하여 실리콘에피층을 성장시키는 단계

를 포함하는 피모스트랜지스터의 에피채널 형성 방법.

【청구항 2】

제1항에 있어서,

상기 채널 도핑층을 형성하는 단계는,

제1 n형 도펀트를 이온주입하는 단계; 및

상기 제1 n형 도펀트보다 상대적으로 확산속도가 빠른 제2 n형 도펀트를 이온주입하는 단계

를 포함하는 것을 특징으로 피모스트랜지스터의 에피 채널 형성 방법.

【청구항 3】

제2항에 있어서,

상기 제1 n형 도펀트는 비소 또는 안티몬을 포함하고, 상기 제2 n형 도펀트는 인을 포함하는 것을 특징으로 하는 피모스트랜지스터의 에피채널 형성 방법.

【청구항 4】

제1항에 있어서,

상기 회복 어닐링 단계는,

급속 어닐링 또는 스파이크 급속어닐 중에서 선택되는 것을 특징으로 하는 피모스트랜지스터의 에피 채널 형성 방법.

【청구항 5】

제4항에 있어서,

상기 급속어닐링은 600℃~1050℃의 범위에서 진행하고, 상기 스파이크 급속어닐링은 600℃~1150℃의 범위에서 진행하는 것을 특징으로 하는 피모스트랜지스터의 에피 채널 형성 방법.

【청구항 6】

제1항에 있어서,

상기 표면처리 단계는,

수소 분위기에서 이루어짐을 특징으로 하는 피모스트랜지스터의 에피 채널 형성 방법.

【청구항 7】

반도체 기판 표면 아래에 서로 다른 확산속도를 갖는 도펀트들을 이중 도핑하여 n형 채널 도핑층을 형성하는 단계;

상기 n형 채널 도핑층 내에 주입된 도펀트들을 활성화시키는 회복어닐링 단계;

상기 n형 채널 도핑층 표면의 자연산화막을 제거하는 표면처리 단계;

상기 n형 채널 도핑층 상에 선택적 에피택셜 성장법을 이용하여 실리콘에피층을 성장시키는 단계;

상기 실리콘에피층의 선택된 영역 상에 증착 및 패터닝을 통해 게이트절연막과 게이트전극을 적층 형성하는 단계;

상기 게이트전극 양측의 반도체 기판내에 고농도 p형 소스/드레인확장영역을 형성하는 단계;

상기 게이트전극의 양측벽에 스페이서를 형성하는 단계; 및

상기 소스/드레인확장영역에 전기적으로 연결되는 고농도 p형 소스/드레인영역을 형성하는 단계

를 포함하는 피모스트랜지스터의 제조 방법.

【청구항 8】

제7항에 있어서,

상기 n형 채널 도핑층을 형성하는 단계는,

제1 n형 도펀트를 이온주입하는 단계; 및

상기 제1 n형 도펀트보다 상대적으로 확산속도가 빠른 제2 n형 도펀트를 이온주입하는 단계

를 포함하는 것을 특징으로 피모스트랜지스터의 제조 방법.

【청구항 9】

제8항에 있어서,

상기 제1 n형 도펀트는 비소 또는 안티몬을 포함하고, 상기 제2 n형 도펀트는 인을 포함하는 것을 특징으로 하는 피모스트랜지스터의 제조 방법.

【청구항 10】

제7항에 있어서,

상기 회복 어닐링 단계는,

급속 어닐링 또는 스파이크 급속어닐 중에서 선택되는 것을 특징으로 하는 피모스트랜지스터의 제조 방법.

【청구항 11】

제10항에 있어서,

상기 급속어닐링은 $600^{\circ}\text{C} \sim 1050^{\circ}\text{C}$ 의 범위에서 진행하고, 상기 스파이크 급속어닐링은 $600^{\circ}\text{C} \sim 1150^{\circ}\text{C}$ 의 범위에서 진행하는 것을 특징으로 하는 피모스트랜지스터의 제조 방법.

【청구항 12】

제7항에 있어서,

상기 표면처리 단계는,

수소 분위기에서 이루어짐을 특징으로 하는 피모스트랜지스터의 제조 방법.

【청구항 13】

제7항에 있어서,

상기 고농도 p형 소스/드레인영역 상에 선택적 에피택셜 성장법을 이용하여 엘리베이티드 소스/드레인영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 피모스트랜지스터의 제조 방법.

【청구항 14】

반도체 기판;

상기 반도체 기판의 표면 근처에 형성되고 서로 다른 확산속도를 갖는 도펀트들이 이중 도핑되어 있는 채널 도핑층;

상기 채널 도핑층 상에 형성되어 상기 채널 도핑층과 함께 에피채널을 이루는 실리콘에피층;

상기 실리콘에피층 상의 게이트절연막;

상기 게이트절연막 상의 게이트전극;

상기 에피채널의 양측의 상기 반도체 기판내에 형성된 고농도 소스/드레인확장영역; 및

상기 소스/드레인확장영역에 전기적으로 연결되며 상기 소스/드레인확장영역보다 깊은 고농도 소스/드레인영역

을 포함함을 특징으로 하는 피모스트랜지스터.

【청구항 15】

제14항에 있어서,

상기 채널 도핑층은,

제1 n형 도펀트와 상기 제1 n형 도펀트보다 상대적으로 확산속도가 빠른 제2 n형 도펀트가 이중 도핑되어 있는 것을 특징으로 하는 피모스 트랜지스터.

【청구항 16】

제15항에 있어서,

상기 제1 n형 도펀트는 비소 또는 안티몬이고, 상기 제2 n형 도펀트는 인인 것을 특징으로 하는 피모스트랜지스터.

【청구항 17】

제14항에 있어서,

상기 채널 도핑층은, 10nm~50nm의 두께인 것을 특징으로 하는 피모스트랜지스터.

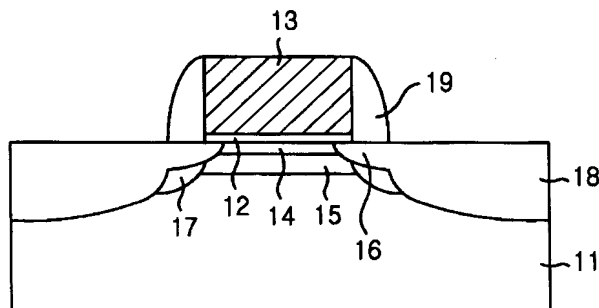
【청구항 18】

제14항에 있어서,

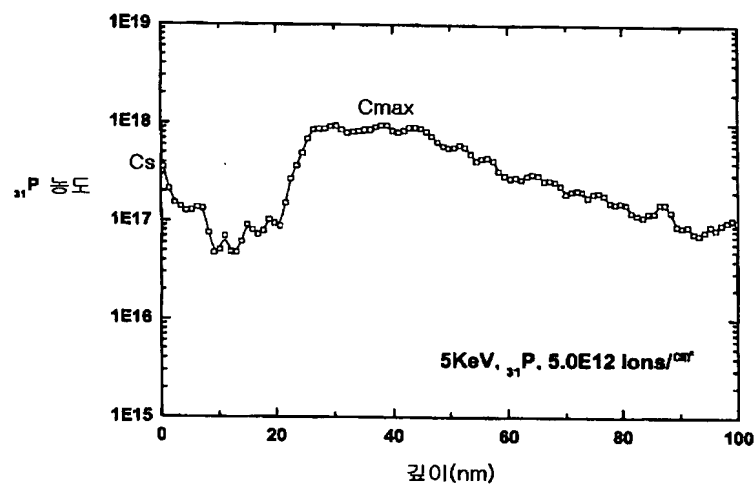
상기 실리콘에피층은 5nm~30nm의 두께인 것을 특징으로 하는 피모스트랜지스터.

【도면】

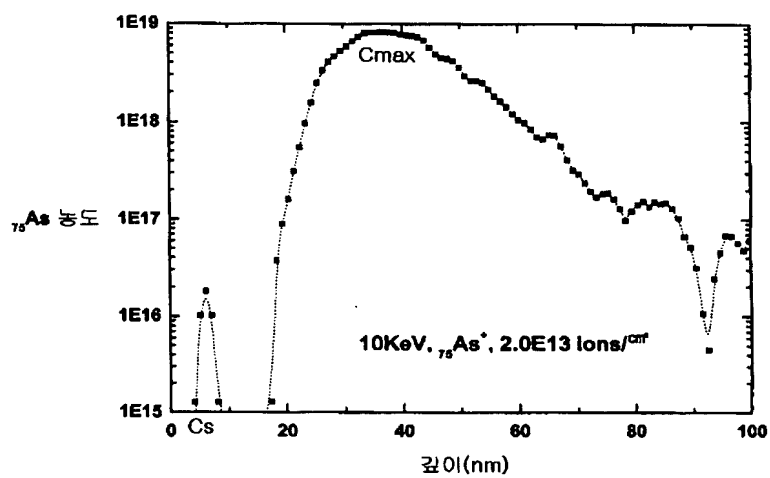
【도 1】



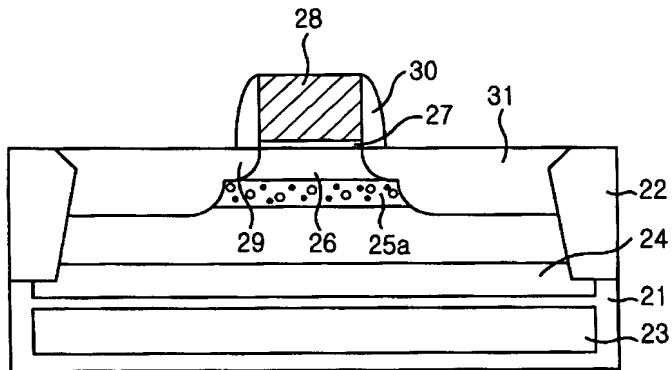
【도 2a】



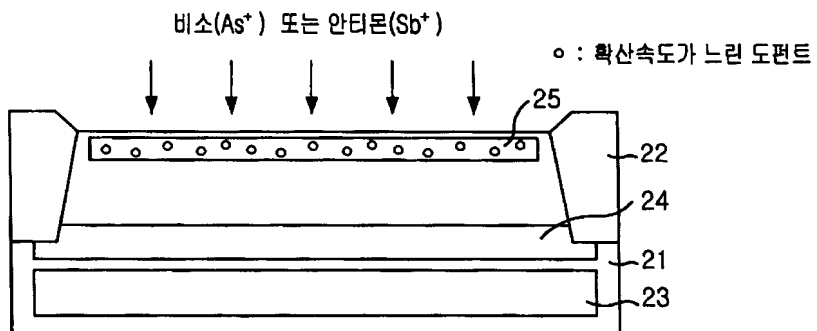
【도 2b】



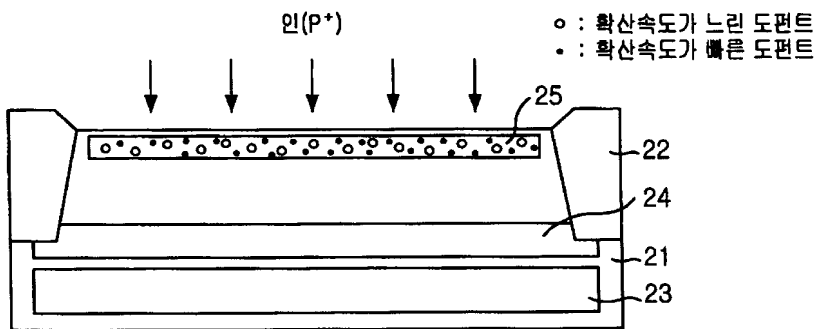
【도 3】



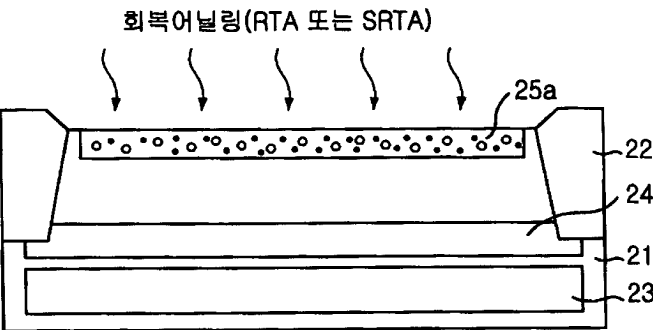
【도 4a】



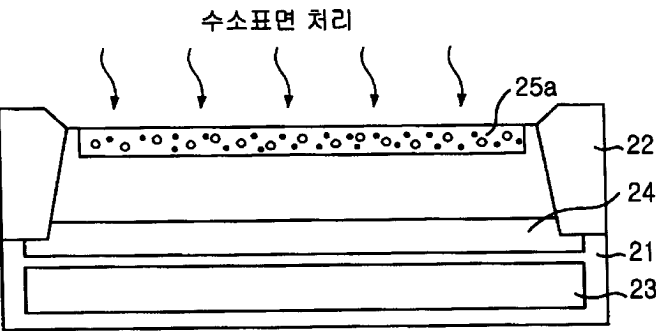
【도 4b】



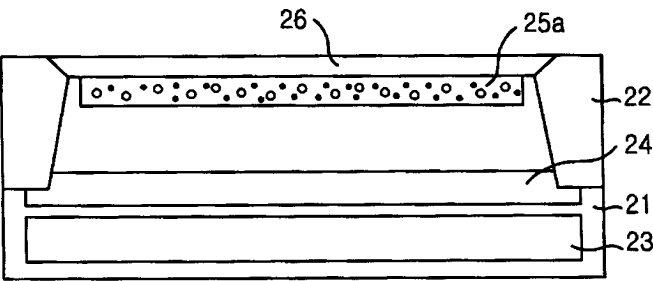
【도 4c】



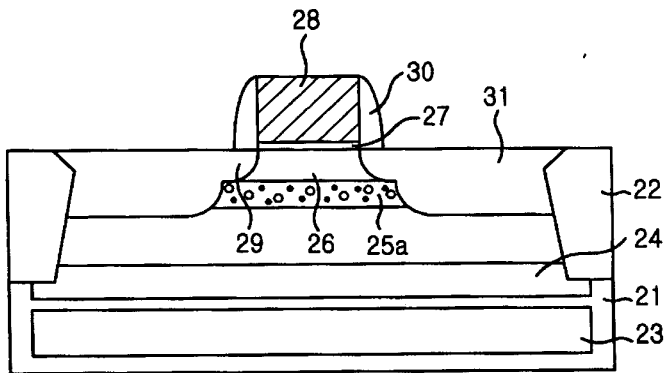
【도 4d】



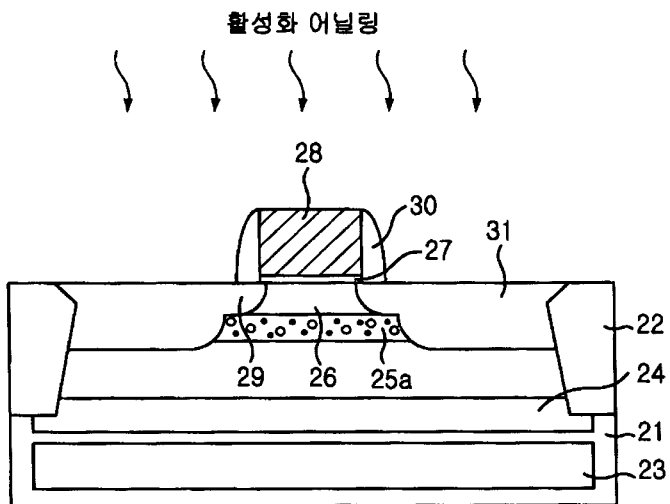
【도 4e】



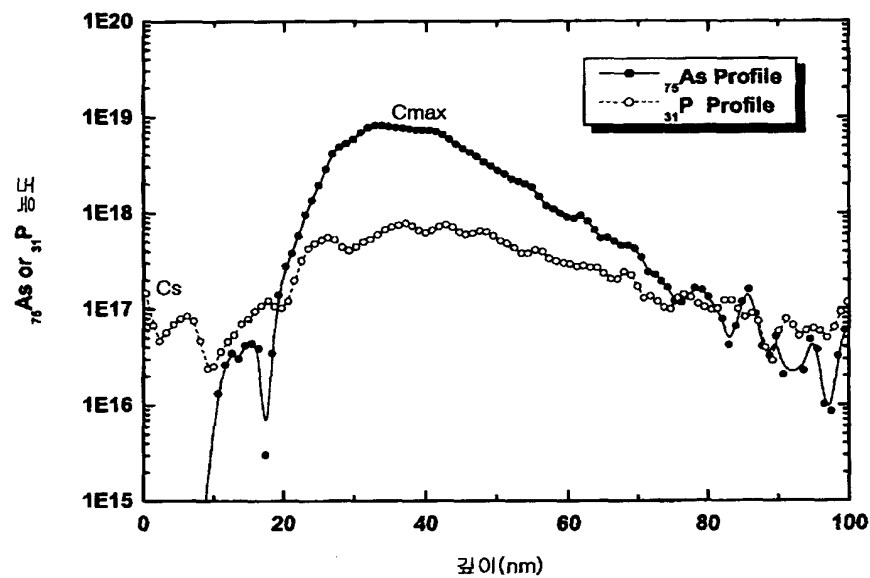
【도 4f】



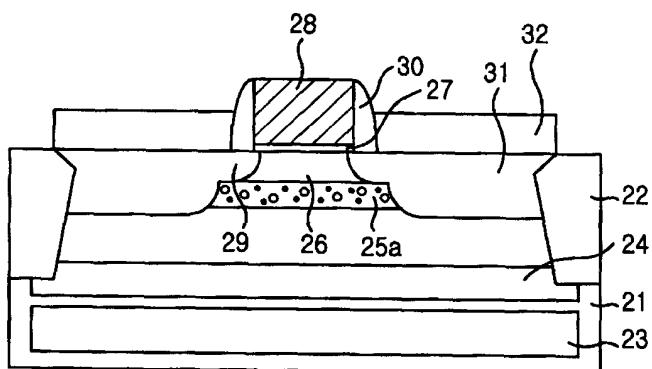
【도 4g】



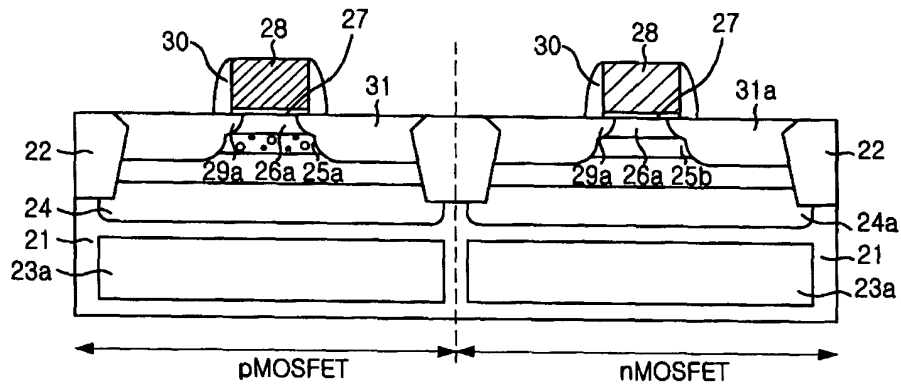
【도 5】



【도 6】



【도 7】



【도 8】

